



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-186448

(43)Date of publication of application : 20.07.1990

(51)Int.Cl.

G06F 11/28

G06F 15/78

H01L 27/04

(21)Application number : 01-004783

(71)Applicant : NIPPON CHEMICON CORP

(22)Date of filing : 13.01.1989

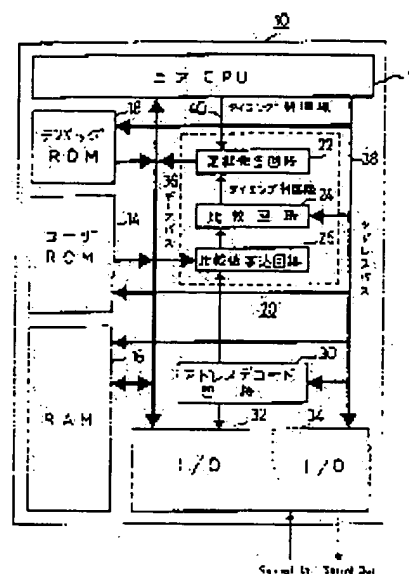
(72)Inventor : KUNIOKA YASUHIRO

(54) INTEGRATED CIRCUIT WITH DEBUGGING ENVIRONMENT

(57)Abstract:

PURPOSE: To decrease the charge of an ICE development fee by programming the most of debugging support by a debugger host program in a host computer side, for a remote primitive debugger program.

CONSTITUTION: In a microcomputer ASIC side 10, a token sent from a host side is analyzed and the contents of a register save area are returned to respective registers. Then, processing jumps to a designated address and a user program is executed. When the processing comes up to a break address, a comparator circuit 24 is operated and software interruption is generated. Then, a control right is returned to a monitor side. A monitor program informs the generation of break of the host side and waits for it that the token is inputted from the host side again. By repeating such an operation sequence, the user program of the microcomputer ASIC 10 is emulated from the host computer and system debugging can be executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-186448

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月20日

G 06 F 11/28

L

7343-5B

H 01 L 27/04

510 K

7343-5B

7514-5F

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 デバッグ環境を備えた集積回路

⑯ 特 願 平1-4783

⑰ 出 願 平1(1989)1月13日

⑱ 発 明 者 國 岡 保 弘 東京都青梅市東青梅1丁目167番地の1 日本ケミコン株式会社内

⑲ 出 願 人 日本ケミコン株式会社 東京都青梅市東青梅1丁目167番地の1

⑳ 代 理 人 弁理士 浜田 治雄

明 細 書

1. 発明の名称

デバッグ環境を備えた集積回路

2. 特許請求の範囲

(1) マイクロプロセッサをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中断のためのブレーク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、前記マイコンASICのデバッグ時にはホストコンピュータと前記通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアと前記デバッグROM内のデバッグ用ソフトウェアとが通信を行いながら、前記ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行えるよう構成したことを特徴とするデバッグ環境を備

えた集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はデバッグ環境を備えた集積回路に係り、特にマイクロコンピュータ（以下、マイコンと称する。）の組込まれたASIC（アプリケーション・スペシフィック・インテグレートッド・サーキットの略称。）などの集積回路に内蔵したプログラムに逆し、ソフトウェアのデバッグを容易に行うことのできるデバッグ環境を備えた集積回路に関する。

〔従来の技術〕

従来、マイコン組込み製品における組込みソフトウェアのデバッグは、マイコンの動作をシミュレートすることができるインサーキットエミュレータ（以下、ICEと称する。）と呼ばれる装置を用いて行われている。この種の装置は、一般に第3図に示すような構成をしている。第3図において、参照符号50は、マイコン組込み製品であるターゲットマ

特開平2-186448(2)

シーンであり、このターゲットマシン50上のマイコンLSI用ソケット52に、マイコンチップ58が内蔵されたプローブ56のケーブル54が接続される。プローブ56はケーブル60を介してIC E本体62と接続される。

このように構成されるIC Eにおいて、ターゲットマシン50と同様のマイコンチップ58が実装されたプローブ56は、ターゲットマシン50とIC E本体62とを接続するためのインタフェース部分に相当し、これによりIC E本体62があたかもソケット52上にあるかのように動作し、ターゲットマシン50のエミュレーション、部分命令の実行、解析などを行ってハードウェアおよびソフトウェアを含めたシステムデバッグをすることができる。

(発明が解決しようとする課題)

しかしながら、前述したIC Eの構成では、ターゲットマシン50とプローブ56との

間にケーブル54で接続される距離が必ず存在し、信号遅延、負荷容量、ノイズマージン等に影響を与えるため、ターゲットマシン50の設計時にIC Eの接続を充分考慮した設計マージンを取る必要がある。しかるに、設置現場での実験条件が、開発現場におけるIC Eとの接続用に見積もった実験条件の設計マージン以上であるようなノイズの影響を受ける悪環境下であったりすると、実験デバッグ作業用にIC Eを使用できなくなったりする。マイコンの動作周波数が高周波化されるにつれて、このようなノイズの影響を受け易くなり、IC E使用による実験デバッグ環境を益々困難なものとしてきている。さらに、ターゲットマシン50の規模が大きくなるにつれ、開発時におけるハードウェアの設計以上にそのソフトウェアの開発にも多くの労力を必要とし、ソフトウェアのデバッグツールであるIC Eの果たす役目が益々重要になり、IC Eが不可欠となってきている。

特にターゲットマシン50が特定ユーザー向マイコンASICである場合には、特定ユーザー専用のIC Eを開発する必要があるが、しかし、特定ユーザー専用のためのマイコンASIC用IC Eを新たに開発するということは、ユーザーへの開発費用負担が非常に大きくなり、それはマイコンASIC開発とは同等の負担増となる。このため、マイコンASIC開発では個別に従来のような専用のIC Eを提供するということが困難になってきている。

そこで、本発明の目的は、IC Eと同様のシステムデバッグ機能を持ち、しかも実験状態でのエミュレーションのために従来のようにシステム設計時にIC Eとの余分な接続マージンを見積もる必要がなく、容易に外部からホストコンピュータによりエミュレーションを行うことができ、コスト的にも特定ユーザー向のマイコンASICに連するデバッグ環境を備えた集積回路を提供するにある。

(課題を解決するための手段)

本発明に係るデバッグ環境を備えた集積回路は、マイクロプロセッサをコアにしてROMやRAMおよび周辺LSIの各種機能を一チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中斷のためのブレイク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、前記マイコンASICのデバッグ時にはホストコンピュータと前記通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアと前記デバッグROM内のデバッグ用ソフトウェアとが通信を行いながら、前記ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行えるよう構成したことを特徴とする。

(作 用)

本発明に係るデバッグ環境を備えた集積回

特開平2-186448(3)

路によれば、デバッグROM内に格納されたプログラムデバッグのためのソフトウェアの一部は、主にメモリ内容のリード・ライト、命令の実行およびレジスタの参照・変更など、コアになるマイクロプロセッサのハードウェア構成に依存する部分と処理する必要最少限のプログラムであり、かつ、ホストコンピュータ上のデバッグ用ソフトウェアにより処理したい機能に共通的に使用できる最も低レベルの処理内容のプログラムである。例えば、ホストコンピュータとの通信用I/Oポートからのアドレスデータを読み、そのアドレスの内容を通信用I/Oポートへ出力するというような処理プログラムであり、ホスト側は、この機能を組み合わせてメモリダンプ（メモリ内容の表示）コマンドを実行する。このように、ホストコンピュータから通信用I/Oポートを介してこのデバッグROMとの間で通信を行いながら、ユーザROM及びRAM内に格納されたマイコンASIC内蔵プログ

ラムのデバッグを外部から容易に実行することができる。

〔実施例〕

次に本発明に係るデバッグ環境を備えた集積回路の実施例につき、添付図面を参照しながら以下詳細に説明する。

第1図は、本発明の一実施例を示すデバッグ環境を備えた集積回路の内部ブロック構成図であり、第2図は、デバッグ用に付加されたブレイク回路部の実質的な回路構成の一例を示す図である。第1図において参照符号10は、対象となるマイコンASICチップであり、このチップ10はコアCPU12、特定用途向けプログラムを格納したユーザROM14、RAM16、およびリセットデバッグアプリケーションプログラム（以下、モニタプログラムと称する。）を格納したデバッグROM18、デバッグ用に付加されたブレイク回路部20、アドレスデコード回路30、マイコンASICの入出力用I/Oポート

32、デバッグのための通信用I/Oポート34と、さらにそれらの間を結ぶデータバス36、アドレスバス38およびタイミング制御線40等から構成される。さらに、デバッグ用に付加されたブレイク回路部20は、プログラム実行中断回路ブロックである定数発生回路ブロック22と、比較回路ブロック24およびプログラム実行中断準備のための回路ブロックである比較値書込回路ブロック26から構成される。

ここで、デバッグ用に付加されたブレイク回路部20を構成する各回路ブロックの動作について説明する。

比較回路ブロック24は、フリップフロップ列から構成され、フリップフロップに記憶させてある値と、コアCPU12から出ているアドレスバス38の値を常時比較する回路ブロックである。コアCPU12がアドレスバス38にアドレスを乗せるのは、

① メモリへのデータアクセス（リード、

ライト）

② 命令フェッチ（次の命令をメモリから読込む）

の2つの場合であり、比較回路ブロック24はどちらの場合でもアドレス値が一致すれば、定数発生回路ブロック22に対しトリガ信号を出力する。

定数発生回路ブロック22は、フリップフロップ、ANDゲート、NORゲート、インバータ等から構成された定数発生回路とバス調停回路からなり、定数発生回路は予め決められた（固定された）定数（この定数は、コアCPU12にソフトウェア割り込みを起こさせる命令コードであり、使用する各CPU12によって異なる。）を発生する回路である。バス調停回路は、比較回路ブロック24から入力されたトリガ信号およびコアCPU12からの命令フェッチ信号を判断し、さらにコアCPU12のバスサイクルに一致させながらコアCPU12のデータバス36に定

特開平2-186448(4)

数発生回路からのデータを受け取る役割を果たす。なお、命令フェッチ信号およびコアCPU12のバスサイクルはCPUに依存するため、バス制御回路も各CPUにより異なる。

比較値番送回路ブロック26は、EX-NORゲートおよびNANDゲート列から構成され、比較回路ブロック24のフリップフロップに、コアCPU12からの番込み動作によりデータバス36の内容を番込む回路である。コアCPU12の番込み動作がマイコンASICに使用する各CPUにより異なるため、一概には言えないが、一般的には、

“I/O命令”または“メモリ番込み命令”をコアCPU12に実行させることによって、“I/Oアクセス信号”または“メモリアクセス信号”、さらに“番込み信号”等が変化するので、これらの信号線を用いてデータバス36の内容を取り込むことができる。

このような回路ブロックから構成されるマ

イコンASICチップ10が搭載されるターゲットマシーンをホストコンピュータと接続して、マイコンASIC10内のユーザプログラムをデバッグする際の処理シーケンスにつき、以下説明する。

(1) 起動時:

ホスト側は、マイコンASIC10を先ず初期化させるためマイコンASIC10に対して通信線を介して“R”の文字(リセットトークン)を送る。マイコンASIC10側は起動時、マイコンASIC10内のデバッグROM18に格納されたモニタプログラムが制御部を持ち、通信線からのトークンが入力されるのを待っている。そこにホスト側からトークンが送られてくるので、マイコンASIC10側はこのトークンを解析して(この場合はリセットトークンだから)、モニタの初期化(例えば、モニタプログラムの管理するレジスタセーブエリアの内容を初期化する)や回路の初期化(例えば、比較回路

24をリセットする)を行い、再び通信線からのトークンが入力されるのを待つ。

(2) ブレークアドレスの設定:

ユーザがホストコンピュータのキーボードから、ブレークアドレスの設定のためのコマンドを入力すると、ホスト側デバッグプログラムがこのコマンドを解析して、マイコンASIC10に対して通信線を介して“B”の文字(ブレークトークン)およびブレークアドレスデータを送る。

マイコンASIC10側は、このトークンを解析し(この場合はブレークトークンだから)、比較回路24にブレークアドレスデータの設定を行い、再び通信線からのトークンが入力されるのを待つ。

(3) ユーザプログラムの実行と

ブレークの発生:

ユーザがホストコンピュータのキーボードから、ユーザROM14およびRAM16内に格納されたユーザプログラム実行のための

コマンドを入力すると、ホスト側デバッグプログラムがこのコマンドを解析して、マイコンASIC10に対し通信線を介して“G”の文字(ゴートークン)および実行開始アドレスデータを送り、その後マイコンASIC10側からブレーク発生トークンが送られるのを待つ。

マイコンASIC10側は、ホスト側から送られてきたトークンを解析し(この場合はゴートークンだから)、レジスタセーブエリアの内容を各レジスタに戻し、指定アドレスにジャンプする。これにより、ユーザプログラムが実行される。

ユーザプログラムが実行され、ブレークアドレスまで来ると、比較回路24が働いてソフトウェア断り込みが発生し、制御部はモニタプログラムに戻る。モニタプログラムは、ブレークが発生したことをホスト側にトークンを送ることにより知らせ、再びホストから通信線を介してトークンが入力されるのを待

特開平2-186448 (5)

つ、

以下、上記した(2)、(3)の動作シーケンスを繰り返すことによって、ホストコンピュータからマイコンASIC10のユーザプログラムのエミュレーションを行って、システムデバッグを行うことができる。

このように動作するモニタプログラム格納のためのデバッグROMをマイコンASIC10のチップ内に設けても、モニタプログラムの規模はわずかであり、例えば、8ビットCPUのチップ面積を1とすれば、モニタプログラム追加用に必要な面積は、その面積の1%程度にしか過ぎない。

なお、モニタプログラムは、個々のターゲットマシンのコアCPU12用に作る必要はあるが、小規模プログラムなのでその努力は従来の専用ICの開発に比べて大したことではない。また、ホストコンピュータ側のデバッグホストプログラムは、高級言語で記述可能なプログラムであるので、一度アログ

ラムを複製すれば、専用のホストコンピュータだけを使用する必要はなく、容易に他のコンピュータへの移植ができ、ホストコンピュータの使用に融通性がある。

〔発明の効果〕

前述した実施例から明らかなように、本発明によれば、マイコンASIC内のユーザプログラムを外部のホストコンピュータとの通線を行いながらデバッグできるようなプリミティブデバッグプログラムを、マイコンASICチップ上に設けたデバッグROM内に格納した構成とし、しかも、このリモートプリミティブデバッグプログラムは、デバッグサポートのほとんどをホストコンピュータ側のデバッグホストプログラムが行うようにしているため、非常に小規模のもので良い。このため、マイコンASIC上のデバッグROMのサイズも小さなもので済む。しかも、従来のICと同様のエミュレーション機能を持ち、容易に外部からパソコン等のホスト

コンピュータによって、実際のターゲットマシンのマイコンASIC上で直接デバッグ作業が可能となるために、効果的なプログラム開発が期待できる。

従って、マイコンASIC用に高価な専用ICを個々に開発しなくともシステムデバッグが実行でき、その経済的効果は著しいものがある。さらに、従来のようなマイコンASIC開発時におけるICとの後続マージンなどの見積もりが不要となる効果も得られる。

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されことなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

4. 図面の簡単な説明

第1図は本発明に係るデバッグ環境を備えた集積回路の一実施例を示す集積回路の要部ブロック構成図であり、第2図は本発明に係

るデバッグ用に付加されたブレーク回路部の実際の回路構成の一例を示す図、第3図は従来のインサーキットエミュレータの構成例を示す図である。

- 10…マイコンASICチップ
- 12…コアCPU
- 14…ユーザROM
- 16…RAM
- 18…デバッグROM
- 20…デバッグ用に付加されたブレーク回路部
- 22…定数発生回路ブロック
- 24…比較回路ブロック
- 26…比較値返回路ブロック
- 30…アドレスデコード回路
- 32…入出力用I/Oポート
- 34…通信用I/Oポート
- 36…データバス
- 38…アドレスバス
- 42…タイミング制御線

特開平2-186448(6)

50…ターゲットマシーン
52…ソケット
54, 60 …テーブル
56…ブローブ
58…マイコンチャップ
62…1 C E 本体

特許出願人 日本ケミコン株式会社
出願人代理人 弁護士 浜田 浩雄

FIG. 1

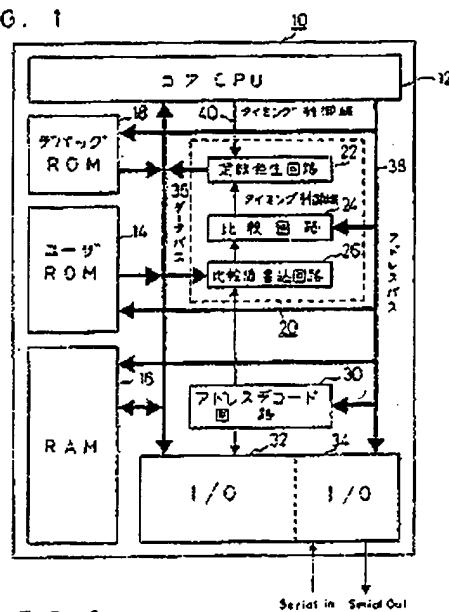


FIG. 3

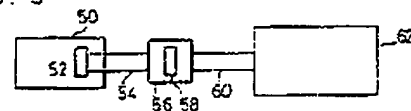
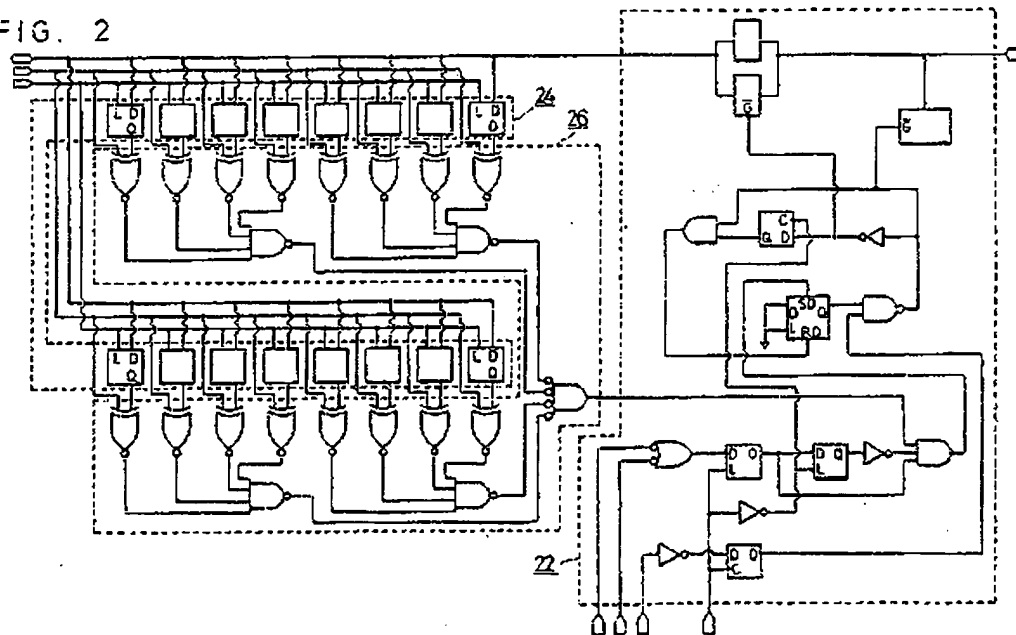


FIG. 2



File 351:Derwent WPI 1963-2004/UD,UM &UP=200479

(c) 2004 Thomson Derwent

*File 351: For more current information, include File 331 in your search.

Enter HELP NEWS 331 for details.

Set Items Description

? e pn=jp 1990186448

Ref	Items	Index-term
E1	1	PN=JP 1511710
E2	1	PN=JP 1511843
E3	0	*PN=JP 1990186448
E4	1	PN=JP 2000000001
E5	1	PN=JP 2000000002
E6	1	PN=JP 2000000003
E7	1	PN=JP 2000000004
E8	1	PN=JP 2000000005
E9	1	PN=JP 2000000006
E10	1	PN=JP 2000000007
E11	1	PN=JP 2000000008
E12	1	PN=JP 2000000009

Enter P or PAGE for more

? e pn=jp 2186448

Ref	Items	Index-term
E1	1	PN=JP 2186395
E2	1	PN=JP 2186407
E3	1	*PN=JP 2186448
E4	1	PN=JP 2186450
E5	1	PN=JP 2186500
E6	1	PN=JP 2186503
E7	1	PN=JP 2186504
E8	1	PN=JP 2186505
E9	1	PN=JP 2186506
E10	1	PN=JP 2186507
E11	1	PN=JP 2186508
E12	1	PN=JP 2186509

Enter P or PAGE for more

? s e3

S1 1 PN='JP 2186448'

? t s1/3,ab/all

1/3,AB/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

008331614

WPI Acc No: 1990-218615/199029

KRPX Acc No: N90-169661

IC with debug environment - has same system debug function as in-circuit emulator without estimating excess margin for connection with target machine

Patent Assignee: NIPPON CHEMICON CORP (NIEM)

Inventor: KUNIOKA Y

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 378242	A	19900718	EP 90100664	A	19900113	199029 B
JP 2186448	A	19900720	JP 89100478	A	19891013	199035
EP 378242	B1	19950405	EP 90100664	A	19900113	199518
DE 69018273	E	19950511	DE 618273	A	19900113	199524
			EP 90100664	A	19900113	

Priority Applications (No Type Date): JP 894783 A 19890113

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

EP 378242	A			
-----------	---	--	--	--

Designated States (Regional): DE GB

EP 378242	B1 E	8	G06F-011/00	
-----------	------	---	-------------	--

Designated States (Regional): DE GB

DE 69018273	E		G06F-011/00	Based on patent EP 378242
-------------	---	--	-------------	---------------------------

Abstract (Basic): EP 378242 A

The circuit comprises a debug ROM for storing a part of software for a program debug. A break circuit breaks execution of a program and an I/O port communicates with a host computer in a microcomputer ASIC chip for specific use which is in the form of one chip having a microprocessor as a core and a combination of various functions of a ROM, a RAM and a peripheral LSI.

A system debug for a program stored in the ROM and the RAM of the ASIC can be executed while a debug software on the host computer and a debug software in the debug ROM communicate with each other via the I/O port for communicating with the host computer, when debugging the microcomputer ASIC.

ADVANTAGE - Provides IC with debug environment having the same system debug function as that of ICE without estimating excess margin for connection between target machine and ICE when system is designed.
(7pp Dwg.No.1/3)

Abstract (Equivalent): EP 378242 B

An integrated circuit system with a debug function comprising a debug ROM (18) in which a debug programme executable by comprehending the content of a command instructed from a host computer is stored and also a fixed programme forming a basic software for programme debug is stored, characterised in that said fixed programme is stored in an exclusive programme debug area separate from a user ROM (14) area, said system forming an integrated circuit further comprising a break circuit (20) for breaking, when said debug function is to be performed, execution of a user programme and an I/O port (32,34) or communication with a host computer said integrated circuit system being integrated within a microcomputer application specific integrated circuit chip for specific use which is in the form of one chip having microprocessor as a core (12) and a combination of various functions of a user ROM (14) a RAM (16) and a peripheral large scale integrated circuit, wherein a system debug for a programme stored in said user ROM (14) and said RAM (16) of the application specific integrated circuit can be executed, said debug ROM (18) receiving respective instructions transferred via the I/O port from said host computer for execution and the executed results being fed back to said host computer when debugging said microcomputer application specific integrated circuit.

Dwg.1/3

Display format ----- Select the type of output. -----



Display checked documents

Check All

Uncheck All

☐ ** Result [P] ** Format(P807) 2004.12.10 1/ 1

C P

Application no/date: 1989- 4783 [1989/ 1/13]
Date of request for examination: [1990/10/ 6]
Accelerated examination ()
Public disclosure no/date: 1990-186448  Translate [1990/ 7/20]
Examined publication no/date (old law): 1993- 50016  Translate [1993/ 7/27]
Registration no/date: 1838914 [1994/ 4/25]
Examined publication date (present law): []
PCT application no:
PCT publication no/date: []
Applicant: NIPPON CHEMICON CORP
Inventor: KUNIOKA YASUHIRO
IPC: G06F 11/28 G06F 15/78 ,510
FI: G06F 11/28 L G06F 15/78 ,510K H01L 27/04
F-Term: 5B042AA12,BB03,5F038DF04,DF11,EZ20,5B062AA10,CC05,DD10,EE03,JJ08,5B042
 HH03,GA07,GA12,GC02,GC05,HH04,HH25,LA04,LA09,LA10,NN22
Expanded classification: 451,422,454
Fixed keyword: R131

Citation:

[19,1992. 7. 3,04] (04,JP,Unexamined Patent Publication,1983129557)
[19,1992. 7. 3,04] (04,JP,Unexamined Patent Publication,1984186448)
[19,1992.11. 2,04] (04,JP,Unexamined Patent Publication,1983129559)
[19,1992.11. 2,04] (04,JP,Unexamined Patent Publication,1985041140)
[19,1992.11. 2,04] (04,JP,Unexamined Patent Publication,1983105366)

Title of invention: INTEGRATED CIRCUIT WITH DEBUGGING ENVIRONMENT

Viability information of application: (abandonment before expiration of term)

Priority country/date/number: () [] ()

Domestic priority: [] ()

Original application number: ()

Original registration number: ()

Retroactive date: []

No. of claims (1)

Classification of examiners decision/date: (decision of registration(allowance)
) [1994/ 1/11]

Final examinational transaction/date: (registration) [1994/ 4/25]

Examination intermediate record:

(A63 1989/ 1/13,PATENT APPLICATIONUTILITY MODEL REGISTRATION APPLICATION, 1
4000:) (A23 1989/ 2/17,NOTICE OF APPLICATION NUMBER, :)
(A621 1990/10/ 6,WRITTEN REQUEST FOR EXAMINATION, 58000:)
(A131 1992/ 7/28,WRITTEN NOTICE OF REASON FOR REJECTION, :)
(A7D2 1992/ 9/14,NOTIFICATION OF LUMP CHANGE IN DOMICILE (REPRESENTATIVE),
:) (A523 1992/ 9/25,WRITTEN AMENDMENT, :)
(A53 1992/ 9/25,WRITTEN OPINION, :)
(A131 1992/12/ 8,WRITTEN NOTICE OF REASON FOR REJECTION, :)
(A523 1993/ 2/ 8,WRITTEN AMENDMENT, :)
(A53 1993/ 2/ 8,WRITTEN OPINION, :)
(A15 1993/ 4/13,DECISION OF PUBLICATION OF APPLICATION, :)
(A315 1993/12/17,PUBLICATION RETURN, :)
(A01 1994/ 1/11,DECISION TO GRANT A PATENTDECISION OF REGISTRATION, :
) (A61 1994/ 1/24,PAYMENT OF ANNUAL FEE, :)

*** Trial no/date [] Kind of trial [

] ***

Demandant: -
Defendant: -
Opponent: -
Classification of trial decision of opposition/date: () []
Final disposition of trial or appeal/date: () []
]
Trial and opposition intermediate record:

Registration intermediate record:

(R20	1997/ 6/ 6,	A WRITTEN ANNUITY PAYMENT,	:01)
(R2501	1997/ 7/ 8,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:01)
(R20	1998/ 5/28,	A WRITTEN ANNUITY PAYMENT,	:02)
(R2501	1998/ 6/30,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:02)
(R20	1999/ 6/28,	A WRITTEN ANNUITY PAYMENT,	:03)
(R2501	1999/ 7/13,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:03)
(R20	2000/ 6/28,	A WRITTEN ANNUITY PAYMENT,	:04)
(R2501	2000/ 7/11,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:04)
(R20	2001/ 7/ 2,	A WRITTEN ANNUITY PAYMENT,	:05)
(R2501	2001/ 7/17,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:05)
(R20	2002/ 6/21,	A WRITTEN ANNUITY PAYMENT,	:06)
(R2501	2002/ 7/ 9,	A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT),	:06)

Amount of annuity payment: 10Years

Extinction of right/Lapse date of right: (non-payment of annual fee)[
2003/ 7/27]

Proprietor: 13-NIPPON CHEMICON CORP

Status of register: (removed to closed register)

Display format

1-1/1

From - Count